

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-335848

(43)Date of publication of application : 17.12.1993

(51)Int.Cl.

H03F 3/345

G05F 3/24

H02M 3/135

(21)Application number : 04-170120

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 03.06.1992

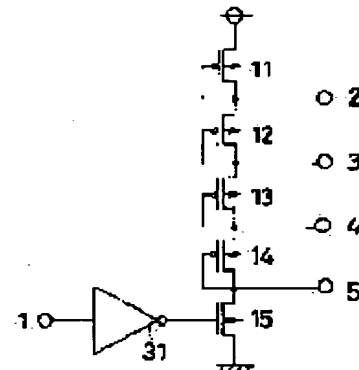
(72)Inventor : HANADA YOSHIKO

## (54) BIAS VOLTAGE APPLICATION CIRCUIT

(57)Abstract:

PURPOSE: To allow one bias circuit to generate plural bias voltages simultaneously.

CONSTITUTION: An Nch transistor (TR) 15 is controlled by a digital input signal 1 and Pch TRs 11-14 whose drain and gate are connected are connected in series with the drain of the Nch TR 15. The bias voltage is controlled by the ratio of TR sizes (W/L) and bias voltages 2-5 are outputted by number of connecting points. As a result, it is not desired to make design by number of operational amplifiers or number of bias voltages required and the chip area is largely reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-335848

(43)公開日 平成 5 年(1993)12月17日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 3/345	B	8124-5 J		
G 0 5 F 3/24	Z	4237-5 H		
H 0 2 M 3/135		8726-5 H		

審査請求 未請求 請求項の数 1 (全 4 頁)

(21)出願番号 特願平4-170120

(22)出願日 平成 4 年(1992) 6 月 3 日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72)発明者 花田 佳子

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機  
株式会社北伊丹製作所内

(74)代理人 弁理士 早瀬 憲一

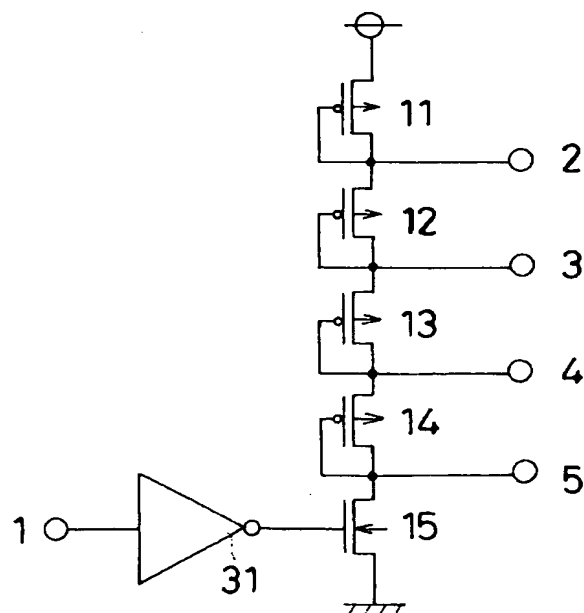
(54)【発明の名称】 バイアス電圧供給回路

(57)【要約】

【目的】 1つのバイアス回路で、数種のバイアス電圧を複数個、同時に発生させることを目的としている。

【構成】 デジタル入力信号 1 により N c h トランジスタ 1 5 を制御し、該 N c h トランジスタ 1 5 のドレイン側にドレインとゲートを接続させた P c h トランジスタ 1 1 ~ 1 4 を直列に接続し、各々のトランジスタサイズ (W/L) 比によってバイアス電圧を制御し、各接続点の数だけバイアス電圧 2 ~ 5 を出力させる。

【効果】 バイアス回路をオペアンプの数、あるいは必要とされるバイアス電圧の数だけ設計する必要がなく、チップ面積も大幅に縮小できる。



**【特許請求の範囲】**

**【請求項1】** 相互に縦続接続され、それぞれゲートとドレインを接続した複数のMOSトランジスタと、上記複数のMOSトランジスタの相互の接続点からとりだされた複数の電圧出力端子と、上記複数のMOSトランジスタを流れる電流を制御するデジタル入力信号により電流を制御する制御用トランジスタとを備えたことを特徴とするバイアス電圧供給回路。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** この発明はオペアンプ、コンパレータ等の回路にバイアス電圧を供給するバイアス電圧供給回路に関するものである。

**【0002】**

**【従来の技術】** 図4は従来のバイアス回路およびオペアンプの関係を示す図である。図4において、33、34、35、36はバイアス回路である。21、22、23、24は上記バイアス回路出力をバイアス電圧として受けているオペアンプである。また41、42、43、44は各オペアンプの入力端子、45、46、47、48は各オペアンプの出力端子である。

**【0003】** また、図5は従来のバイアス回路の一例であり、これは1を入力信号端子とするインバータ31と、その出力をゲートに接続しているNchトランジスタ27と、ドレインとゲートを接続させ、かつこれをNchトランジスタ27のドレインと接続しているPchトランジスタ26とからなり、該両トランジスタ26、27の接続点を出力10としている。

**【0004】** 次に動作について説明する。オペアンプ、コンパレータ等の回路には、バイアス電圧を供給するバイアス回路が必要とされる。このため、図4に示すように、各オペアンプ21、22、23、24にはこれらが必要とするバイアス電圧を発生させるバイアス回路33、34、35、36が各々必要となる。

**【0005】** このバイアス電圧を発生させるバイアス回路の一例が図5に示す回路であり、この回路の動作説明を行うと、まず入力端子1より入力される信号はデジタル信号で、インバータ31を通過して、トランジスタ27を制御する。また、トランジスタ27が入力信号1によってON/OFFされることにより、出力であるバイアス電圧10の出力/遮断が制御される。なお、バイアス電圧10はトランジスタ26、27のトランジスタサイズ(W/L)の比(Wはゲート幅、Lはゲート長)によって制御され、出力されている。

**【0006】**

**【発明が解決しようとする課題】** 従来のバイアス回路は以上のように構成されているので、各オペアンプに対応した異なるバイアス回路が必要となり、IC化する場合に面積が大きくなるという問題があった。

**【0007】** この発明は上記のような問題点を解消するためになされたもので、1つのバイアス回路で数種類のバイアス電圧を複数、同時に発生することのできるバイアス電圧供給回路を得ることを目的としている。

**【0008】**

**【課題を解決するための手段】** この発明に係るバイアス電圧供給回路は、デジタル入力信号により電流を制御するトランジスタのドレイン側またはソース側に、ゲートとドレインを接続させたトランジスタを複数個、直列に接続させ、その接続点をバイアス電圧として出力させたものである。

**【0009】**

**【作用】** この発明においては、デジタル入力信号により電流を制御するトランジスタがON状態の時に、そのトランジスタのドレイン側またはソース側に縦続接続させた複数のトランジスタは、各トランジスタサイズ(W/L)比によって、各々抵抗値を持ち、各トランジスタ間の接続点から数種のバイアス電圧を発生させる。

**【0010】**

**【実施例】** 図1は、この発明の一実施例によるバイアス回路を示す。図1において、1はデジタル入力信号、31は入力信号1を反転させるインバータ、15はインバータ31の出力がそのゲートに接続されたNchトランジスタである。そして該Nchトランジスタ15のドレイン側にソースとドレインを接続させたPchトランジスタ11、12、13、14を縦続接続させ、その接続点から各出力端子2、3、4、5を取り出し、各々バイアス電圧を出力させている。

**【0011】** 図2は上記図1のバイアス回路を使用した場合のバイアス回路とオペアンプの関係図である。

**【0012】** 図2において、32は上記図1の構成になるバイアス回路、21、22、23、24は該バイアス回路の出力端子2、3、4、5の出力をバイアス電圧として受けているオペアンプ、41、42、43、44はオペアンプの入力信号、45、46、47、48はオペアンプの出力信号である。

**【0013】** 次に上記実施例の動作を図1、2を参照しながら説明する。まず、入力端子1より入力された信号がインバータ31により反転され、Nchトランジスタ15を制御(ON/OFF)する。このNchトランジスタ15がON/OFFされることにより、各バイアス電圧は出力端子2、3、4、5より出力/遮断の制御がなされる。一方、Nchトランジスタ15のドレイン側に接続された、ドレインとゲートを接続されたPchトランジスタ11、12、13、14はNchトランジスタ15がON状態の時、各々トランジスタサイズ(W/L)比により抵抗値を持ち、電源、グランド間で抵抗分割を行って、各種のバイアス電圧を出力端子2、3、4、5より出力させる。

**【0014】** 図2において、上記動作を行うバイアス回

路32を用いると、該バイアス回路32の出力端子2、3、4、5より4種のバイアス電圧が出力され、各オペアンプ21、22、23、24に入力される。つまり、4つのオペアンプ21、22、23、24に対し、1つのバイアス回路32で独立した複数のバイアス電圧を発生させることができることとなる。

【0015】実施例2. なお、上記実施例では、縦続接続させた複数のトランジスタをPchトランジスタで、各トランジスタを流れる電流の制御をNchトランジスタで実現したが、前者をNchトランジスタで、後者をPchトランジスタで実現させることも可能である。このようにした本発明の実施例2を図3に示す。本実施例2では電流制御用のトランジスタ16は実施例1と異なり、電源側に接続されているが、その動作、効果は実施例1と同様である。

【0016】

【発明の効果】以上のように、この発明によれば、デジタル入力信号により電流を制御するトランジスタのドレイン側またはソース側に、ゲートとドレインを接続させたトランジスタを複数個、直列に接続させ、その接続点をバイアス電圧として出力させることにより、1つのバイアス回路から複数種類のバイアス電圧を同時に複数発生させることを可能としたので、バイアス回路を複数作成する必要がなく、チップ面積を大幅に縮小できるという効果がある。

【図面の簡単な説明】

【図1】この発明の実施例1によるバイアス回路を示す回路図である。

【図2】この発明の実施例1によるバイアス回路を使用

した場合のオペアンプとの関係図である。

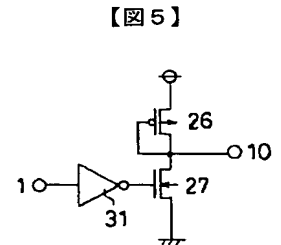
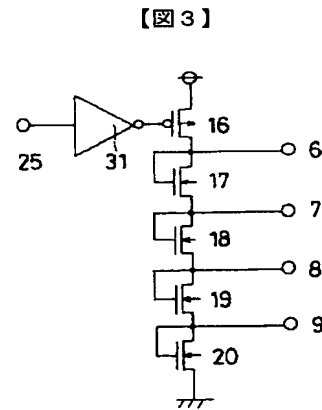
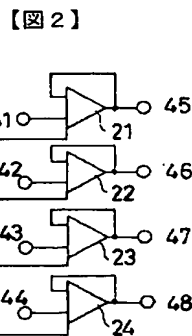
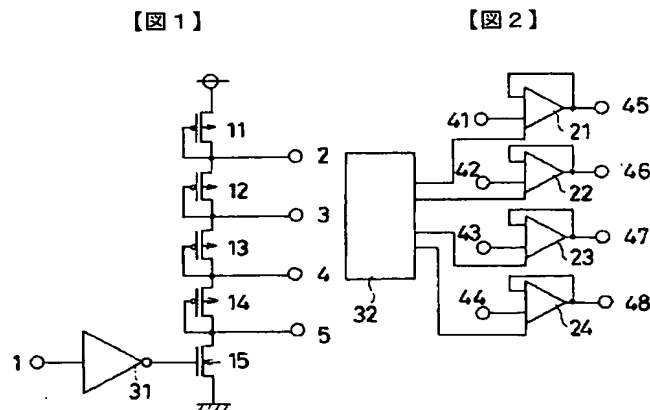
【図3】この発明の実施例2によるバイアス回路を示す回路図である。

【図4】従来のバイアス回路を使用した場合のオペアンプとの関係図である。

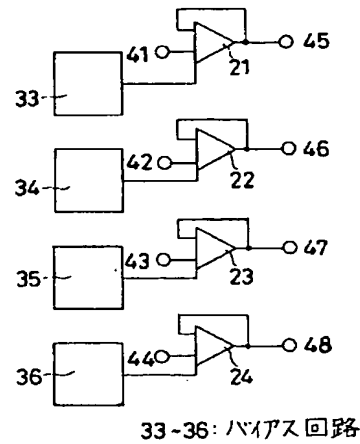
【図5】従来のバイアス回路を示す回路図である。

【符号の説明】

- 1 入力端子
- 11 Pchトランジスタ
- 12 Pchトランジスタ
- 13 Pchトランジスタ
- 14 Pchトランジスタ
- 15 Nchトランジスタ
- 31 インバータ
- 16 Pchトランジスタ
- 17 Nchトランジスタ
- 18 Nchトランジスタ
- 19 Nchトランジスタ
- 20 Nchトランジスタ
- 32 バイアス回路
- 41 オペアンプの入力端子
- 42 オペアンプの入力端子
- 43 オペアンプの入力端子
- 44 オペアンプの入力端子
- 45 オペアンプの出力端子
- 46 オペアンプの出力端子
- 47 オペアンプの出力端子
- 48 オペアンプの出力端子



【図 4】



## 【手続補正書】

【提出日】平成 4 年 1 1 月 2 4 日

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】

【実施例】図 1 は、この発明の一実施例によるバイアス

回路を示す。図 1 において、1 はデジタル入力信号、31 は入力信号 1 を反転させるインバータ、15 はインバータ 31 の出力がそのゲートに接続された Nch トランジスタである。そして該 Nch トランジスタ 15 のドレイン側にゲートとドレインを接続させた Pch トランジスタ 11、12、13、14 を縦続接続させ、その接続点から各出力端子 2、3、4、5 を取り出し、各々バイアス電圧を出力させている。